

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-145574

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/48				
H 0 4 Q 3/52	1 0 1 Z	9076-5K		
		8529-5K	H 0 4 L 11/ 20	Z

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平3-304619

(22)出願日 平成3年(1991)11月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 ▲蔵▼野 貴紀

東京都港区芝五丁目7番1号 日本電気株式会社内

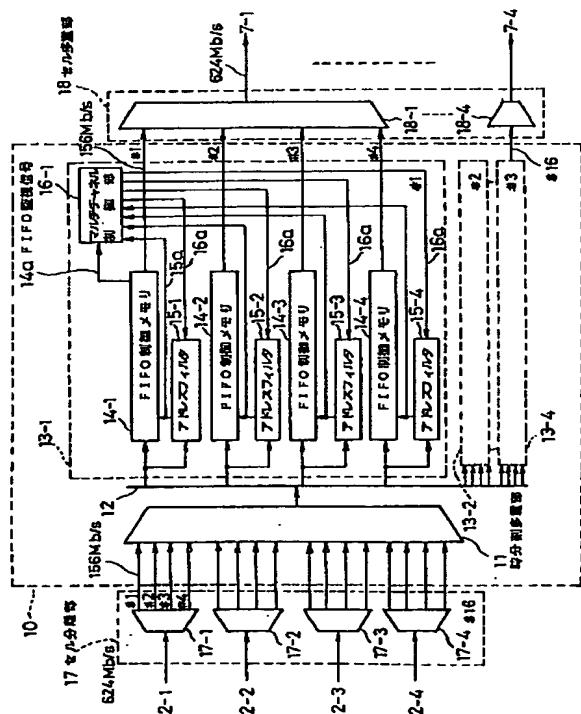
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 出力バッファ型ATMスイッチ

(57)【要約】

【目的】 ハードウェア規模の増加が小さくて、マルチチャネル制御可能な出力バッファ型ATMスイッチを得ることである。

【構成】 本発明は、スイッチ部10内でFIFO制御メモリ14の格納状況を監視する監視手段を備えており、スイッチ部10の前段には、複数の入力ラインデータを受け、これら複数の入力ラインデータをセル毎に分離するセル分離部17を、スイッチ部10の後段には、セル毎に分離された時分割多重信号を受け、時分割多重信号をセル毎に多重するセル多重部18を夫々設けたことを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 信号速度 $V$ の $N$ 個の入力ラインデータをそれぞれ $N$ 本の入力ラインから入力し、信号速度 $V$ の $M$ 個の出力ラインデータをそれぞれ $M$ 本の出力ラインへ出力するスイッチ部とを備え、該スイッチ部は前記 $N$ 個の入力ラインデータを時分割多重して時分割多重信号を出力する1つの時分割多重手段と、前記時分割多重信号を先に入力した順に書き込み先に入力した順に読み出す複数のFIFO制御メモリ手段と、前記時分割多重化信号を受け、制御信号に応じて前記時分割多重化信号の宛先が自己に予め定められているアドレス番号に一致する場合にアドレス一致信号を前記FIFO制御メモリ手段へ供給する複数のアドレスフィルタ手段と、前記複数のFIFO制御メモリ手段の各々から読み出された信号を前記 $M$ 個の出力ラインデータとして出力するATMスイッチ制御方式であって、前記スイッチ部の前段には、前記 $n$  ( $n < N$ ) 本の入力ラインに接続され、信号速度 $V \times n$ のデータを受け、該信号速度 $V \times n$ のデータを $n$ 個の入力ラインデータに分離するセル分離手段を設け、前記FIFO制御メモリ手段の各々は格納の状況を表すFIFO空監視信号を出力し、前記スイッチ部は、該FIFO空監視信号を受けて、該FIFO空監視信号に応じて前記FIFO制御メモリ手段の各々に対応した各アドレスフィルタ手段に前記制御信号を出力して前記FIFO制御メモリ手段からの読み出しを監視する監視手段を備え、前記スイッチ部の後段には、前記 $m$  ( $m < M$ ) 本の出力ラインに接続され、前記 $m$ 個の出力ラインデータを多重して信号速度 $V \times m$ のデータを出力するセル多重手段を設けたことを特徴とする出力バッファ型ATMスイッチ。

【請求項2】 請求項1に記載の出力バッファ型ATMスイッチにおいて、前記監視手段は、前記アドレス一致信号を受け、前記FIFO空監視信号に応じて、前記制御信号を各アドレスフィルタ手段に出力するマルチチャネル制御部を有することを特徴とする出力バッファ型ATMスイッチ。

【請求項3】 信号速度 $V$ の $N$ 個の入力ラインデータをそれぞれ $N$ 本の入力ラインから入力し、信号速度 $V$ の $M$ 個の出力ラインデータをそれぞれ $M$ 本の出力ラインへ出力するスイッチ部とを備え、該スイッチ部は前記 $N$ 個の入力ラインデータを時分割多重して時分割多重信号を出力する1つの時分割多重手段と、前記時分割多重信号を先に入力した順に書き込み先に入力した順に読み出す複数のFIFO制御メモリ手段と、前記時分割多重化信号を受け、前記時分割多重化信号の宛先が自己に予め定められているアドレス番号に一致する場合にアドレス一致信号を前記FIFO制御メモリ手段へ供給する複数のアドレスフィルタ手段と、前記複数のFIFO制御メモリ手段の各々から読み出された信号を前記 $M$ 個の出力ラインデータとして出力するATMスイッチ制御方式であっ

2

て、前記スイッチ部の前段には、前記 $n$  ( $n < N$ ) 本の入力ラインに接続され、信号速度 $V \times n$ のデータを受け、該信号速度 $V \times n$ のデータを $n$ 個の入力ラインデータに分離するセル分離手段を設け、前記FIFO制御メモリ手段の各々は格納の状況を表すFIFO空監視信号を出力し、前記スイッチ部は、該FIFO空監視信号を受けて、該FIFO空監視信号に応じて前記FIFO制御メモリ手段の各々からの読み出しを監視する監視手段を備え、前記スイッチ部の後段には、前記 $m$  ( $m < M$ ) 本の出力ラインに接続され、前記 $m$ 個の出力ラインデータを多重して信号速度 $V \times m$ のデータを出力するセル多重手段を設けたことを特徴とする出力バッファ型ATMスイッチ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、広帯域ISDNを実現するためのバッファ出力型ATM（非同期転送モード）スイッチ制御方式に関し、特に、バッファ出力型ATMスイッチ制御方式のマルチチャネル制御方式に関する。

## 【0002】

【従来の技術】 従来、この種のバッファ出力型ATMスイッチ制御方式の従来例として、図2に示された「出力バッファ型ATMスイッチの構成法」、信学技報、SSE88-172、p37乃至42がある。図3を参照して、図示されているスイッチ部1は、 $N$ 本の入力ライン（チャネル）2（2-1、…、2- $N$ ）をそれぞれ介して伝送された入力ラインデータを受け、セル毎に時分割多重してセル毎に時分割多重された信号を出力する時分割多重部3と、このセル毎に時分割多重された信号を乗せる時分割多重バス4と、この時分割多重バス4を介して伝送されてくる各セル内の宛先情報（出力ライン番号）と自己に予め定められたものと一致するかどうかを判定するアドレスフィルタ5、及びこのアドレスフィルタ5に対応する入力ライン2の入力ラインデータを受けこの入力ラインデータを書き込んで一時格納し、このデータを読み出して出力するFIFO制御メモリ6を $M$ 対と、この出力されたデータを伝送する $M$ 本の出力ライン7（7-1、…、7- $M$ ）とを備えている。

【0003】 さて、バッファ出力型ATMスイッチ制御方式の動作について説明する。バッファ出力型ATMスイッチ制御方式では、パケット通信との区別のため呼の伝送単位をセルといい、異なる伝送速度でも柔軟に対応するマルチチャネル（マルチパス）制御が行われている。入出力ライン2、7の予め定められた速度以下の呼は、スイッチ部1内の単一の経路を固定的に割り当てることにより、伝送路を伝送してくるデータのセル順序を保存する。一方、入出力ライン2、7の予め定められた速度を越える呼は、スイッチ部1内の複数の経路を固定的に割り当てて、複数のセルに分散させて収納する。

【0004】 ところで、この場合、複数のセルをランダ

ムに分散させているため、各FIFO制御メモリ部6のセル蓄積量が異なっている。このため、各FIFO制御メモリ部6から読み出されたセルの順序は保存されていない。

【0005】この問題を解決する方法として図4で示された他の従来例、即ち、「出力バッファ型マルチチャネルATM交換機の一構成法」、信学技報、SSE89-122、p43乃至48がある。図3には、図1のスイッチ部1の前段に各入力ライン2からの呼をグループ順に並び換えるチャンネル割り当て網を設けている。チャンネル割り当て網は、セルをグループ順に並び換えるパッチャーソーティング網8及びグループ内の各セルに出力ライン（チャンネル）7（7-1、…、7-M）の番号を順に割り当てるチャンネルインデックス網9からなる。

【0006】同じグループ宛の呼をグループ内の出力ライン7に周期的に順番に割り当てることにより、同一グループ内のFIFO制御メモリ6に蓄積されるセル数は個々のFIFO間で1セル以上の差が生じない。

【0007】従って、同一グループのFIFO制御メモリ6を1つのFIFO制御メモリ6としてみなすことができ、FIFO制御メモリ6から読み出す時、セル順序が保存される。

【0008】

【発明が解決しようとする課題】しかしながら、この従来例では、スイッチ1の前段にチャンネル割り当て網を付加しているが、ハードウェア規模の増加が大きいという欠点がある。

【0009】そこで、本発明の技術的課題は、ハードウェア規模の増加が小さくて、マルチチャネル制御可能な出力バッファ型ATMスイッチを得ることにある。

【0010】

【課題を解決するための手段】本発明によれば、信号速度VのN個の入力ラインデータをそれぞれN本の入力ラインから入力し、信号速度VのM個の出力ラインデータをそれぞれM本の出力ラインへ出力するスイッチ部とを備え、該スイッチ部は前記N個の入力ラインデータを時分割多重して時分割多重信号を出力する1つの時分割多重手段と、前記時分割多重信号を先に入力した順に書き込み先に入力した順に読み出す複数のFIFO制御メモリ手段と、前記時分割多重化信号を受け、制御信号に応じて前記時分割多重化信号の宛先が自己に予め定められているアドレス番号に一致する場合にアドレス一致信号を前記FIFO制御メモリ手段へ供給する複数のアドレスフィルタ手段と、前記複数のFIFO制御メモリ手段の各々から読み出された信号を前記M個の出力ラインデータとして出力するATMスイッチ制御方式であって、前記スイッチ部の前段には、前記n（ $n < N$ ）本の入力ラインに接続され、信号速度 $V \times n$ のデータを受け、該信号速度 $V \times n$ のデータをn個の入力ラインデータに分離するセル分離手段を設け、前記FIFO制御メモリ手

段の各々は格納の状況を表すFIFO空監視信号を出力し、前記スイッチ部は、該FIFO空監視信号を受けて、該FIFO空監視信号に応じて前記FIFO制御メモリ手段の各々に対応した各アドレスフィルタ手段に前記制御信号を出力して前記FIFO制御メモリ手段からの読み出しを監視する監視手段を備え、前記スイッチ部の後段には、前記m（ $m < M$ ）本の出力ラインに接続され、前記m個の出力ラインデータを多重して信号速度 $V \times m$ のデータを出力するセル多重手段を設けたことを特徴とする出力バッファ型ATMスイッチが得られる。

【0011】

【実施例】本発明の一実施例によるバッファ出力型ATMスイッチ制御方式を図面を用いて説明する。

【0012】図1は、本発明の一実施例によるバッファ出力型ATMスイッチ制御方式のブロック図である。図1において、このバッファ出力型ATMスイッチ制御方式は、 $V = 156 \text{ Mb/s}$ の伝送速度で $16 \times 16$ スイッチを用いて、 $V \times n$ （ $n = 4$ ） $= 624 \text{ Mb/s}$ の伝送速度で $4 \times 4$ スイッチを実現した実施例であって、スイッチ部10と、スイッチ部10の入力側に設けられたセル分離部17と、スイッチ部10の出力側に設けられたセル多重部18とを有している。

【0013】セル分離部17は、例えば入力ラインデータ2-1を $624 \text{ Mb/s}$ の伝送速度で受け、4つに分離して $156 \text{ Mb/s}$ の伝送速度でスイッチ部10に出力する。セル多重部18は、スイッチ部10からの16個のデータを伝送速度 $V = 156 \text{ Mb/s}$ で受け、セル多重された各出力ラインデータ（7-1、7-2、7-3、7-4）を $V \times m$ （ $m = 4$ ） $= 624 \text{ Mb/s}$ の伝送速度で出力する。

【0014】スイッチ部10は、時分割多重部11と、時分割多重バス12と、4つのFIFO制御部13（13-1、13-2、13-3、13-4）とを有している。各FIFO制御部13は、時分割多重部11で多重化されたデータを時分割多重バス12を介して受け、アドレス一致信号15aに応じて、この多重化されたデータを先に入力した順に書き込んで先に入力された順に読み出すFIFO制御メモリ部14、及び予め定められているアドレス番号が否かを判定するアドレスフィルタ15を4対備えている。

【0015】更に、各FIFO制御部13は、m（但し、 $m (= 4) < M (= 16)$ ）本の出力ラインに対して自己のアドレス番号を予め割り当てており、このアドレス番号に一致するセルを検出すると、m（ $= 4$ ）本の出力ラインに対して番号順に書き込みを行うように指示する制御信号16aを出力するマルチチャネル制御部16を備えている。

【0016】各アドレスフィルタ15は、4つとも同じ値に設定され、マルチチャネル制御部16から選択信号16aを受けた時、この多重化されたデータの宛先を現

## 5

す情報と予め定められているアドレス番号とが一致する  
 可否かを判定した結果、一致した場合にはアドレス一致  
 信号15aを出力する。

【0017】マルチチャネル制御部16は初め、制御信  
 号16aによりアドレスフィルタ15-1のみを動作状  
 態にする。アドレスフィルタ15-1に出力ライン番号  
 がこれに一致するセルが到着すると、FIFO制御メモ  
 リ14-1は非動作になりFIFO制御メモリ14-2  
 を動作状態にすることにより、入力ラインデータが順に  
 書き込まれる。

【0018】このように、マルチチャネル制御部16  
 は、FIFO空監視信号14aの有無で、入力ラインデ  
 ータ2-1、…、2-4がFIFO制御メモリ14に書  
 き込まれている可否かを判定し、FIFO制御メモリ1  
 4に対して入力ライン2毎に単一のチャネルを割り当て  
 ることができる。

【0019】即ち、マルチチャネル制御部16が、F I  
 F O制御メモリ14に書き込まれているセル滞留状況を  
 監視し、F I F O空監視信号14aを受けた場合にはF  
 I F O制御メモリ14をリセットすることにより、F I  
 F O制御メモリ14に対して入力ライン2毎に単一のチャ  
 ネルを割り当てる。

【0020】この結果、4つのF I F O制御メモリ14  
 -1、…、14-4からセル多重部18へ同時に読み出  
 しを行って、セル多重部18では多重化され、出力ライ  
 ンデータ7-1、…、7-4が出力される。

【0021】図2は本発明の他の実施例によるバッファ  
 出力型ATMスイッチ方式のF I F O制御部13-1を  
 示す図である。

【0022】各アドレスフィルタは、それぞれの出力ラ  
 イン番号に設定されている。

【0023】マルチチャネル制御部16は初め、F I F  
 O制御メモリ14-1に制御信号16aを出力してこれ  
 を選択する。アドレスフィルタ15-1には、多重化さ  
 れたデータの宛先を現す情報と予め定められているアド  
 レス番号とが一致する可否かを判定した結果、一致した  
 場合にはアドレス一致信号15aを出力する。マルチチャ  
 ネル制御部16が、アドレス一致信号15aを受けた  
 場合、F I F O制御メモリ14-2に制御信号16aが  
 出力され、選択される。制御信号16aに応じて、順に  
 F I F O制御メモリ14-2、14-3、14-4に書  
 き込まれる。

## 6

【0024】F I F O制御メモリ14-2、14-3、  
 14-4からの読み出しは、同時に行われる。F I F O  
 制御メモリ14-1はセル滞留状態が監視され空の場合  
 には、マルチチャネル制御部16をリセットする。リセ  
 ットされたマルチチャネル制御部16は、それまでの状  
 態に関係なく、制御信号16aによりF I F O制御メモ  
 リ14-1を選択する。

## 【0025】

【発明の効果】以上示したように本発明によれば、セル  
 分離部、セル多重部、及びマルチチャネル制御手段を設  
 け、入力ラインデータがF I F O制御メモリ手段の格納  
 の状況を監視することにより、簡単な構成で、F I F O  
 制御メモリ手段に対して入力ライン毎に単一のチャネル  
 を割り当てるマルチチャネル制御ができるという効果がある。

## 【図面の簡単な説明】

【図1】 本発明の一実施例によるバッファ出力型AT  
 Mスイッチ方式のブロック図である。

【図2】 本発明の他の実施例によるバッファ出力型A  
 TMスイッチ方式のF I F O制御部13-1を示す図で  
 ある。

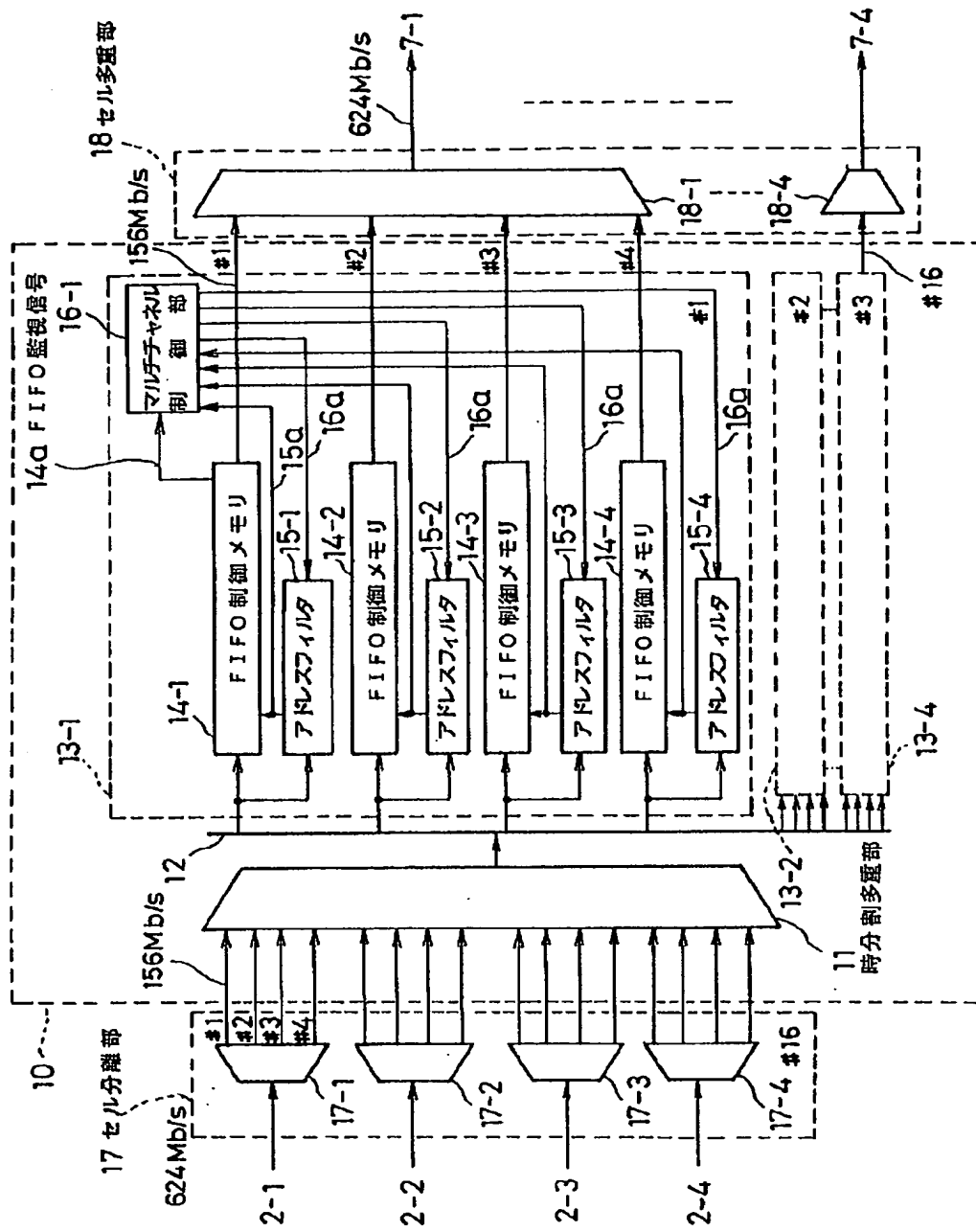
【図3】 バッファ出力型ATMスイッチ方式の従来例  
 のブロック図で、スイッチ部1が示されている。

【図4】 バッファ出力型ATMスイッチ方式のブロッ  
 ク図で、他の従来例である。

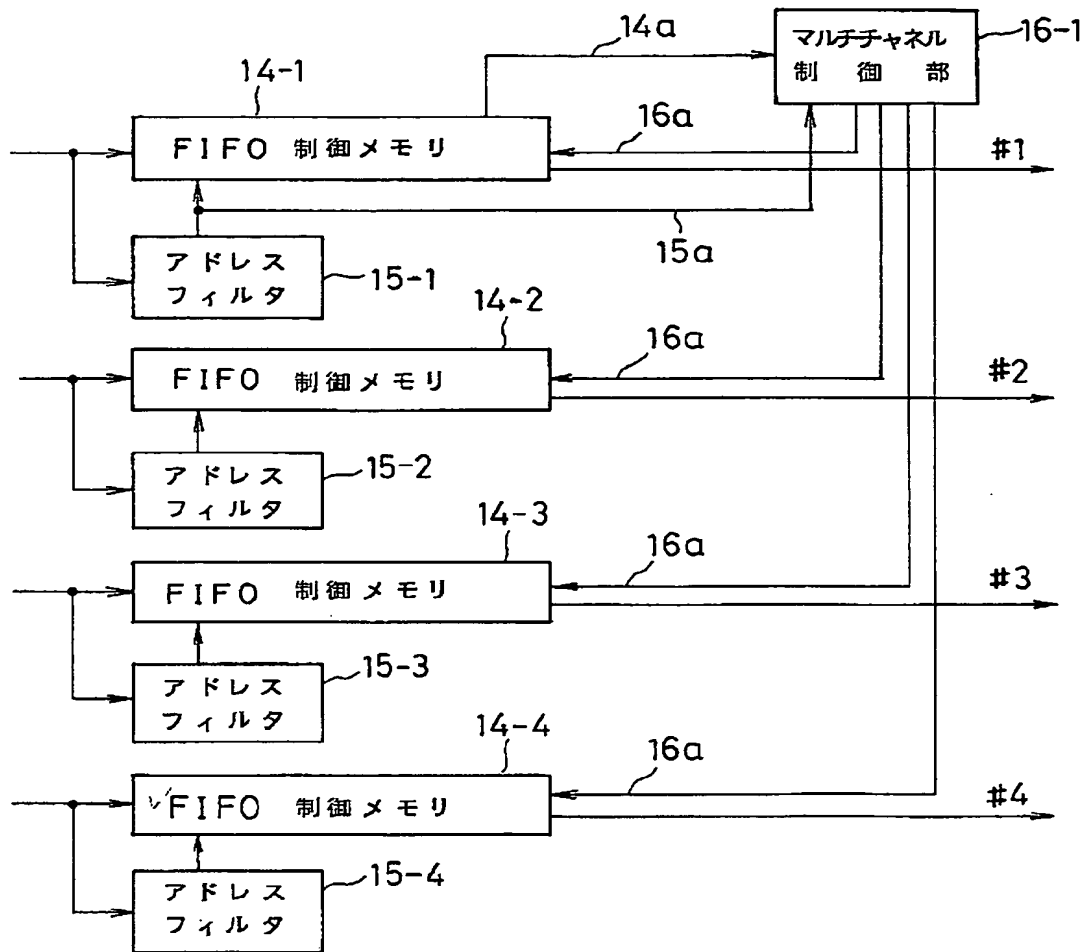
## 【符号の説明】

- 1 スイッチ部
- 3 時分割多重部
- 4 時分割多重バス
- 5 アドレスフィルタ
- 6 F I F O制御メモリ
- 9 チャネルインデックス網
- 10 スイッチ部
- 11 時分割多重部
- 12 時分割多重バス
- 13 (13-1、…、13-4) F I F O制御部
- 14 (14-1、…、14-4) F I F O制御メモリ
- 15 (15-1、…、15-4) アドレスフィルタ
- 16 (16-1、…、16-4) マルチチャネル制御
- 17 セル分離部
- 18 セル多重部

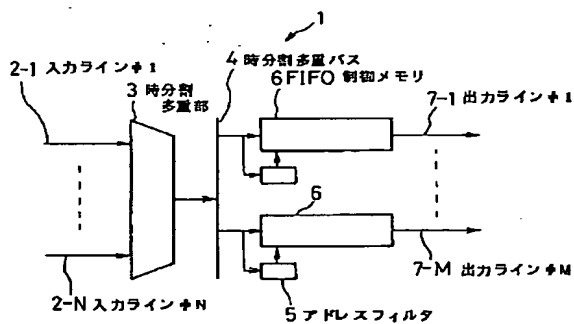
【図1】



【図 2】



【図 3】



【図 4】

